

平成14年度 情報工学専攻修士論文要旨

高木 研究室	氏 名	澤井 隆二
論 文 題 目	単一磁束量子回路による算術論理演算回路の構成	
<p>近年、インターネットや携帯電話の普及に代表されるように、情報通信の分野において産業の著しい成長が見られる。これらの機器に用いられる半導体は、今日まで集積化・微細化によって性能を向上させてきた。しかし発熱などの原因により、この微細化による技術向上が限界に達しつつあり、半導体に置き換わる新たなデバイスの実用化が求められている。このようなデバイスの1つとして、超伝導体が挙げられる。超伝導体を用いた集積回路である単一磁束量子回路 (SFQ 回路) は、回路で用いられるジョセフソン接合のスイッチング速度が数ピコ秒と非常に高速であり、また消費電力も半導体の回路と比べ3桁近く小さいため更なる微細化も可能である。また SFQ 回路は電圧パルスによって回路が動作するために、電圧レベルによって動作する半導体では得られないような高いスループットを得ることができ、高い性能が期待できる。</p> <p>現在 SFQ 回路については、数千接合数レベルの回路の安定動作について研究がなされている段階であるが、数年後には十万接合数の回路の実現が見込まれており、プロセッサなどの複雑な回路の実現が視野に入ってきた。このため SFQ 回路によって実現されるプロセッサやその構成要素において、適したアーキテクチャについての検討が必要である。</p> <p>本研究では、プロセッサの重要な構成要素となる算術論理演算回路 (ALU) において、データの処理方式の検討と、演算回路で用いられる加算回路の構成についての検討を行った。</p> <p>データの処理方式については、単純な加算器を設計した結果を基に、データの適切な形式について検討を行った。設計はセルを手動でレイアウトして行い、Verilog-XL を用いたデジタルシミュレーションによりタイミング情報を求めた。これにより、スライスされたデータを演算回路によって順次計算する方法が、高スループットを生かせるために有用であるという結果が得られた。</p> <p>加算回路については、桁上げのために生じるループの遅延によってスループットが大幅に減少することが起きないように、桁上げの回路構成について考案した。この構成によるループの遅延は一度に処理するビット数によらないため、非常に有効である。この桁上げの構成に基づき、1ビットスライスの ALU と4ビットスライス ALU を設計した。4ビットの ALU で用いられる加算回路には、順次桁上げ加算、桁上げ選択加算、桁上げ先見加算、桁上げ選択をシリアルに行う方式の加算の4種類について設計し、比較を行った。その結果、桁上げ先見加算器に基づく ALU が、演算速度や面積において優れていることを示した。</p> <p>この研究による結果は、プロセッサのアーキテクチャを決定する際に、有効な指針として用いることができる。</p>		