

平成14年度 情報工学専攻修士論文要旨

高木 研究室	氏 名	花井 健輔
論 文 題 目	4-2 加算木を用いた乗算器のテスト容易化設計	
<p>近年の半導体技術の発展による回路の大規模化、複雑化に伴い、製造された回路の故障検査はますます難しい問題となってきた。今日のLSIを搭載した製品は、製品サイクルが短い傾向にあり、設計開始から製品化までのターンアラウンドタイムを短くすることが切望されている。製造技術が進歩し、半導体製造の生産効率が向上している一方でテストは製造された回路の一つ一つに対して行われるため、効率が製造と同じオーダーでは向上せず、結果として回路の製造期間に対する回路のテストにかかる時間の割合は年々大きくなっている。よって、一つのLSIのテストにかかる時間は製造時間および、コストに大きな影響を与えるため、今後テストの容易性は回路の面積や遅延などと同様に、回路評価の為の重要な指標になってくると思われる。</p> <p>乗算器は多くのマイクロプロセッサやデジタル信号処理LSIに搭載されている。これらのLSIにおいては、乗算器の性能が全体の性能に大きく影響するため、高速処理が求められる場合には、乗算器が高速であることがのぞまれる。4-2加算木を用いた乗算器は木型乗算器の一つであり、一般的な配列型乗算器よりも高速な乗算器として知られている。よって、4-2加算木を用いた乗算器は、高速処理を実現するためにますます用いられる乗算器と考えられる。</p> <p>近年、LSI設計において、設計効率の観点からIPコアを組合せて1チップに集積するコアベース設計が広がり、この設計に対応できるテスト方式として、コアテスト方式が採用され始めている。コアテスト方式とは、LSIを構成するコア毎にテストを行うものであり、コア自体のテスト容易性がLSI全体のテスト容易性へとつながる。よって、LSI内にコアとして組み込まれる乗算器のテスト容易性は、これらのLSIの製造時間・コストの削減を考える上で重要であると言える。現在までに配列型乗算器に関しては効果的なテスト容易化設計手法がいくつか提案されているが、木型乗算器については配列型より構造が複雑なため、効果的な手法があまり知られていない。</p> <p>そこで、本論文では、4-2加算木を用いた乗算器のテスト容易化設計手法を提案する。まず、4-2加算木の規則的な構造に着目し、任意の大きさの加算木の定数テストパターン集合を求めるテストパターン生成規則を示す。それを4-2加算木を用いた乗算器のテストに応用し、乗算器を構成する他の部分のテストも含めて、提案するテスト容易化設計を施すことで任意のnビット乗算を行う4-2加算木を用いた乗算器が一定数のテストパターンでテスト可能であることを示す。</p> <p>最後にテスト容易化設計を施すことによるハードウェア量や遅延などのオーバーヘッドについて述べる。</p> <p>結果として、比較的小さいオーバーヘッドで定数パターンによるテストが可能となった。テストパターン集合が簡単に生成でき、かつ、回路のテスト時間が大幅に短縮されるため、本手法は4-2加算木を用いた乗算器を搭載するLSIの生産性の向上に大きく貢献するものと考えられる。</p>		