

平成 14 年度 情報工学専攻修士論文要旨

高木 研究室	氏 名	水野 知秀
論 文 題 目	低レイテンシ除算回路の構成法の研究	
<p>近年、VLSI 技術の進歩によって加算や乗算に加え、除算や開平などのための回路もプロセッサに内蔵されるようになってきている。除算が通常のアプリケーションで使用される頻度は加減算や乗算に比べ低いが、商を得るためにかかるクロックサイクル数(レイテンシ)が大きいためシステム全体に与える影響は大きい。現在、除算回路を実現するための様々なアルゴリズムが提案されており、Pentium プロセッサなどで基数 2、あるいは基数 4 の減算シフト型除算アルゴリズムが採用されている。単精度で減算シフト型除算アルゴリズムを用いた除算回路のレイテンシは 12~24 サイクル程度である。一方、Itanium プロセッサなどでは Newton-Raphson 法に基づいた乗算型除算アルゴリズムが用いられている。乗算型アルゴリズムでのレイテンシは 12~30 サイクルである。今後、より低レイテンシの除算回路が実用化されれば、システム性能の大幅な向上に寄与するものと考えられる。実際に、現在 PlayStation2 に採用されているリアルタイム 3DCG に特化した EmotionEngine ではレイテンシは 7 サイクルとなっている。</p> <p>現在までに、低レイテンシ減算シフト型除算回路を実現するための方法は数多く提案されてきている。しかし、各除算回路の実現方法にはそれぞれ遅延時間、チップ面積、レイテンシ等の点で一長一短が存在している。そこで、本研究では近い将来プロセッサ等に除算回路を内蔵する場合、乗算回路等の他の演算回路とは独立で低レイテンシである除算回路の有効な構成法を示す。具体的な目標としては、現在使われているものよりも高速となるレイテンシ 4~7 サイクル程度で動作する単精度浮動小数点除算回路である。これを減算シフト型除算で実現しようとした場合、1 サイクルで 4~6 ビットずつ商を求めることになる。その際にどのように実現すれば有効であるかを明らかにする。その為に、減算シフト型除算アルゴリズムに基づく除算回路として、低基数(基数 2 または 4)の桁選択回路を並列に実行できるよう改良したタイプと、プレスケーリングと除数の倍数生成に小さな乗算回路を用いたタイプの 2 種類の設計を行う。そして、乗算型除算アルゴリズムに基づく除算回路として Newton-Raphson 法を用いたタイプとの比較を行う。この結果、他の回路とは独立に除算回路を設計する際には減算シフト型除算が有効であった。また、クロック周波数重視の場合は小さな乗算回路を用いた除算回路が、クロックサイクル数重視の場合は低基数の桁選択回路を複数用いた除算回路が有効であることを示した。</p> <p>発表実績</p> <ul style="list-style-type: none">水野 知秀、篠原 正行、高木 一義、高木 直史：“乗算器および除算器 IP の開発”，電子情報通信学会 デザインガイア 2002, VLD2002-115, pp.199-204, 2002 年 11 月		