

平成18年度 情報工学コース卒業研究報告要旨

高木 研究室	氏 名	伊 藤 祐 喜
卒業研究題目	単一磁束量子デバイスを用いた ビットシリアル浮動小数点加算回路	
<p>今日の半導体集積回路の技術進歩は著しく、その性能は日々向上している。この技術の進歩に伴い、情報化社会は急速に発達し、もはや計算機はわれわれの日常生活において必要不可欠な物となっている。これまでの半導体集積回路の性能向上はスケーリング則に従うトランジスタの小型化とスイッチング速度向上によって行われてきた。しかし、回路の集積度の増大に伴う発熱の集中、リーク電流の増加などの問題により、それほど遠くない将来、速度が限界に達すると考えられている。このため、半導体以外のデバイスの実用化の要求が高まっている。このような新デバイスのひとつとして有力視されているのが単一磁束量子デバイスである。</p> <p>単一磁束量子(SFQ)デバイスは超伝導デバイスであるジョセフソン接合とインダクタンスからなる。これを用いたSFQ回路は、ジョセフソン接合がスイッチする際に発生する電圧パルスを用いて情報伝達に使用する。スイッチング速度は数ps程度と高速である。また、電力はパルスが発生するときのみ消費されるため、回路の消費電力は非常に小さい。また、現在のプロセス技術でも数十GHzといった高いクロックでの動作が可能であり、将来的には更なる高クロック化も可能と考えられている。SFQ論理回路では、電圧パルスを用いて情報を表現するパルス論理を用いる。パルス論理においては、単純にパルスの到着を1とすると、0とパルスが到着していない状態とを区別することができない。このため、設計に際しては各ゲートに同期クロックを導入することで0と1を区別するクロック同期式という方法などがとられる。</p> <p>これまで提案されたSFQ論理回路は整数演算回路が大半であり、浮動小数点演算回路に関しては十分な研究が進められていなかったが、実用化を考えた場合、浮動小数点演算回路の設計も必要である。</p> <p>本研究では、SFQデバイスを用いて、浮動小数点加算回路を提案する。本研究で提案する加算回路は、正規化されている浮動小数点数を対象とする。入力には符号、仮数部、指数部それぞれが個別に最下位から1ビットずつビットシリアルで入力される。内部はシフト、仮数部演算などを行うブロックに分割して演算を行う。ブロック間の通信もすべてビットシリアルで行う。ブロック内の演算は必要に応じて入力をパラレル化して行う。桁合わせと正規化のためのシフトはカウンタによりシフトする量をカウントして行う。仮数部の加減算、指数部の大小比較には順次桁上げ加算器を用いる。出力は入力同様に、符号、仮数部、指数部をそれぞれ個別に最下位ビットから1ビットずつ出力する。回路面積、計算時間はともにビット長に比例する。演算を重畳して行うことも可能である。</p> <p>実際の回路として符号1ビット、仮数部11ビット、指数部4ビットの場合の浮動小数点加算回路をセルベース設計法により設計した。また、論理シミュレーションを行い、その面積、計算に必要なクロック数、演算間隔などを調べた。さらに、その結果を元に提案回路をIEEE 754単精度、倍精度に対応させた場合の性能を見積もった。提案する回路は加算回路を計算機に搭載する際の有力な選択肢の一つとすることができる。</p>		