

平成 18 年度 情報工学コース卒業研究報告要旨

高田 研究室	氏 名	柴 田 誠 也
卒業研究題目	動作合成とFPGAを利用したCベース協調設計・ 検証手法	
<p>近年,組み込みシステム開発においては,製品の企画から市場への投入までの時間(Time-to-Market)の短縮が重要となっている. Time-to-Market の短縮には,設計生産性の向上による開発期間の短縮が不可欠である. 設計生産性を向上させる方法の一つは,動作合成により,ハードウェアの設計抽象度をレジスタ転送レベル(RTL)から動作レベルへ引き上げることである. 回路構造を詳細に記述する RTL ではなく,回路の動作のみを記述する動作レベルで設計を行うことで,設計期間を短縮することができる. また,従来の一般的な RTL シミュレーションによる検証では,近年の回路規模増大に伴い現実的な時間内での検証が困難になってきている. この問題を解決する方法として,高速・高精度に動作する FPGA エミュレーションを用いて検証期間を短縮することが提案されている. 本研究では,ソフトウェアとハードウェアの協調設計・検証を,動作合成とFPGA エミュレーションを利用して効率的に行う手法を提案する.</p> <p>提案する設計・検証手法では,C言語によりシステムを設計することから始める. 設計後,システムをソフトウェアとして実現する部分(ソフトウェア部分)とハードウェアとして実現する部分(ハードウェア部分)に分割し,まずC言語プログラムとしての動作を検証する. この後ハードウェアとして実現する部分を動作合成により RTL 記述へと変換し,RTL シミュレーションにより検証する. RTL シミュレーションによる検証には,テストベンチを用いる段階と,コシミュレーションを行う段階の2つの段階がある. テストベンチを用いる段階ではハードウェア部分のみを検証し,コシミュレーションではソフトウェア・ハードウェア間通信による検証を行う. 以上の検証によりある程度デバッグを終えたハードウェアを,最後にFPGA エミュレータ上の回路として実現し,計算機上で動作するソフトウェア部分と通信させて協調検証を行う. FPGA エミュレータは高速に動作するため,大量の入力データを用いた網羅的な検証を短時間で終わることができる.</p> <p>以上の手法を行う環境は,既存の設計・検証ツールを複数組み合わせることで構築することが可能である. しかし複数のツールを用いる場合,各ツールでソフトウェア・ハードウェア間通信のための機構やインタフェースが異なり,検証段階ごとに設計記述に対して通信処理の追加や変更が必要となる. ツールを変えるごとに記述変更という手間がかかる環境では効率的な設計・検証を行うことは難しい. そこで本研究では,提案手法を通して一貫して使用可能な通信インタフェースを定義し,ツール毎のソフトウェア・ハードウェア間通信を提供する通信ライブラリを作成した. 通信インタフェースと通信ライブラリにより,設計記述に変更を加える必要のないシームレスな検証環境を構築した.</p> <p>提案手法の効果を,MPEG4 デコーダシステムの設計を行う実験を通して評価した. 評価点は,検証に要した時間と記述変更量の2点である. 実験ではC言語記述の検証時間が RTL 記述の検証時間の約 5000 分の 1 となり,動作合成導入による設計期間短縮の効果が明らかとなった. また,FPGA エミュレーションを利用した協調検証では RTL シミュレーションを用いたコシミュレーションと比較して約 100 分の 1 の時間で検証を終えることが可能であった. 提案手法の適用における記述変更量は,通信ライブラリを用いることでソフトウェア部分・ハードウェア部分をあわせて 40 行以下となり,通信ライブラリ自体の変更量も全検証段階を通して通信ライブラリ全記述量中の 1.5%以下に抑えることができた. 以上のことから,提案手法による設計・検証期間の短縮効果を確認した.</p>		