

平成 18 年度 情報工学コース卒業研究報告要旨

| | | |
|---|------------------------------------|-------|
| 高木 研究室 | 氏 名 | 古田 卓也 |
| 卒業研究題目 | 単一磁束量子デバイスを用いた ビットシリアル浮動小数点乗算回路 | |
| <p>近年、携帯電話の普及やデータ量の大きい音楽や動画といった通信の増加に伴い、インターネットのトラフィック量が増大している。そのため、大量のデータを処理するサーバやルータには超高速なデジタル回路が必要となり、エネルギー消費の増大が大きな問題となってきている。この情報インフラを支えているのは半導体技術である。半導体では、微細化によって高速化が可能になるというスケーリング則に従い、高性能化や低消費電力化がなされてきた。しかし、集約化による発熱の集中や微細化による配線遅延の増大などが課題となり、半導体の高性能化や低消費電力化に限界が見えてきた。これらの問題を克服する新しいデバイスが求められている。</p> <p>2005 年の国際半導体技術ロードマップ (ITRS) ではポスト CMOS の一つとして単一磁束量子 (Single Flux Quantum, SFQ) デバイスが紹介されている。SFQ デバイスによる回路は超伝導体の量子効果に基づいており、超伝導体リングによって磁束を保持し、ジョセフソン接合のスイッチングによって磁束の伝播を行う。伝播によって生じる電圧パルスの有無を 1 と 0 の値に対応させている。SFQ 回路は 100GHz 以上のクロック動作が可能で、消費電力が CMOS に比べて 3 桁以上小さい。現在 SFQ を用いたマイクロプロセッサやスイッチなどの動作実証が行われている。しかし、従来の CMOS と異なり、パルス論理であることや、セル内の演算速度に比べ相対的に配線遅延が大きいなど特徴を持つ。また、各ゲートが記憶素子としての働きをもっている。性能を引き出すためには SFQ に適したアーキテクチャの研究が必要となる。本研究では単一量子磁束デバイスを用いたビットシリアル浮動小数点乗算回路の構成法を提案した。</p> <p>浮動小数点乗算では指数部の加算や仮数部の乗算など様々な計算を行うが、その中で最も計算量が多いのは仮数部の乗算である。これを遅延の短い構成にすることが浮動小数点乗算回路全体の高速化につながる。提案回路では、乗算の構造にシストリックアレイを用いた。シストリックアレイとは、個々の計算を行うセルを規則的に配列したもので、そこに計算データをパイプライン的に流し込むことによって並列計算を行なう構成法である。SFQ 回路では信号は格段でラッチされているとみなせるので、この構成法は SFQ に適していると考えられる。これにより、ビット数に比例した遅延時間と面積の回路が構成できた。また本回路では、論理積と排他的論理積の計算に、非破壊 D フリップフロップセルとパルスを合流する CB セルを用いて、高速化している。</p> <p>浮動小数点乗算を構成する各計算処理に対しそれぞれ構成法を検討し、その結果を基にして浮動小数点乗算回路全体を設計した。設計はセルを手動でレイアウトするセルベース設計で行い、Verilog-XL によるシミュレーションを行った。設計した 16 ビット浮動小数点乗算器は、クロック周波数 12.5GHz で、遅延が 49 クロック、ジョセフソン結合数が 12000 程度であった。本乗算器は 24 クロック間隔でパイプライン化して計算が可能である。この結果を基に、IEEE 浮動小数点規格の単精度および倍精度フォーマットの入力に対する見積もりを行った。本研究により、SFQ を用いて FPU を設計する上での有用な指針を示すことができた。</p> | | |