

平成21年度 情報工学コース卒業研究報告要旨

高木 研究室	氏 名	川 口 隆 広
卒業研究題目	動作合成における最終加算部を 分離した乗算器の導入効果	
<p>VLSIの規模が増大するにつれて、設計生産性の点でハードウェア記述言語を用いたレジスタトランスファレベル(RTL)設計は限界に近づいている。その解決策の一つとして、動作レベル設計記述からRTL設計記述に変換を行う動作合成システムが挙げられる。機能のみの記述である動作レベル設計記述はレジスタやクロック等の詳細な内部構造を記述したRTLレベル設計記述に比べて記述量が少ないため設計コストが小さいといえる。</p> <p>動作合成によって回路設計を行う際に、乗算は加減算と共に最も頻出頻度が高い算術演算である。そのため、動作合成時に乗算器を使用して回路合成を行うことが多い。乗算器は、生成した部分積を桁上げ保存加算器で2数になるまで累算を行い、その後、桁上げ伝搬の起こる加算器で最後の2数の加算を行うというアルゴリズムが主流である。桁上げ伝搬の起こる加算器は同じビット幅の桁上げ保存加算器に比べて遅延が大きい。また、桁上げ伝搬の起こる加算器は遅延の小さい構造で設計すると面積が大きくなる。しかし、動作合成の際には加算器も演算器として使用されることが多い。このような場合乗算器の最終加算部にあたる桁上げ伝搬の起こる加算器が行っていた計算を加算器で代わりに計算を行える。すなわち、2数の和の表現(以降桁上げ保存形と呼ぶ)で出力する最終加算部を分離した乗算器を演算器として使用することが出来る。桁上げ保存形で出力する乗算器は通常の2進表現で出力をする乗算器と比べて桁上げ伝搬加算器1個分の遅延と面積が削減出来るため合成回路の面積と遅延に関する性能が向上する可能性がある。また、桁上げ保存出力の乗算器を用いた時、合成対象の演算に加算が増えるが、加算が連続する場合に限れば加算器にチェイニングを行い多入力の加算器を用いることで性能を向上出来る可能性が高い。多入力の加算器は桁上げ保存加算器を用いることで遅延を小さく出来る。</p> <p>本研究では、桁上げ保存形で出力する乗算器を用いた場合と2進表現で出力する乗算器を用いた場合で順序回路を設計し論理合成を行い面積と遅延に関して比較を行う。</p> <p>評価は、回路設計対象に対してシングルクロックサイクルやマルチクロックサイクルの2進出力乗算器または桁上げ保存出力乗算器を演算器として使用してVerilog HDLで回路設計を行い、クロックサイクル制約を様々に変えて論理合成を行う事で回路の遅延と面積について行った。</p> <p>評価の結果、桁上げ保存出力乗算器を用いた合成回路は桁上げ保存加算器を用いた多入力加算器が使用出来る場面では優れた遅延-面積トレードオフ曲線が得られ、桁上げ保存出力の乗算器は動作合成の際に用意する演算器の候補として有用であることが確認できた。</p>		