

平成 21 年度 情報工学コース卒業研究報告要旨

高田 研究室	氏 名	佐 野 泰 正
卒業研究題目	MPSoC 設計における 性能ボトルネック解析のためのソフトウェア・ ハードウェア実行ログの同時可視化	
<p>近年、組込みシステムにおいて、マルチプロセッサの利用が進んでいる。その背景には、シングルプロセッサの高クロック化による性能向上の限界がある。マルチプロセッサシステムでは、処理の並列性を高めることにより低クロックでも性能向上効果を実現することができる。そのため、性能向上のため複数のタスクの並列化が主に考えられてきた。並列化を実現するための手がかりとして、プログラムの実行履歴(ログ)の解析がある。ログには、各タスクが、いつ、どのプロセッサで、どのように動作していたかという情報が含まれているため、タスクの並列動作が解析できる。しかし、ログの中から必要な情報を探し出すのは困難であり、効率が悪いという問題がある。この問題を解決するために、ログを可視化する方法があり、RTOS のログを可視化する手法は過去に提案されている。</p> <p>しかし、タスクを並列化しても、タスクが利用するハードウェアにおいて性能ボトルネックが発生し、期待した性能向上が得られない場合がある。ハードウェアに起因するボトルネックは、RTOS のログに現れないため発見することができない。また、実ハードウェアである評価ボードを用いた開発では、ハードウェアの動作に関する情報を取得できないため、解析が困難であった。一方、ハードウェアの情報を観測可能にする開発環境としてバーチャルプラットフォームがある。バーチャルプラットフォームでは抽象化されたモデルを用いた、システムのシミュレーションを行うことができ、モデルには目的に応じて様々な精度のモデルがある。バーチャルプラットフォームから得られるハードウェアログによりハードウェアの動作を解析することができる。しかし、ハードウェアログだけではソフトウェアの動作との関連の解析が困難である。</p> <p>そこで本研究では、ボトルネック解析を支援するために、ソフトウェアログとハードウェアログの同時可視化を提案し、同時可視化ツールを開発した。可視化のために汎用可視化ツールである TraceLog Visualizer(TLV) を使用した。ソフトウェアログは RTOS である TOPPERS/ASP カーネルから取得し、ハードウェアログはバーチャルプラットフォームである Virtual Platform Architect から取得した。ソフトウェアログには、各タスクが、いつ、どのプロセッサで、どのように動作していたかという情報が含まれている。また、ハードウェアログにはハードウェアアーキテクチャ内の通信情報が含まれている。この 2 つの情報をあわせることにより、バス衝突やキャッシュミスなどによる性能低下の要因を判断することができようになると期待される。</p> <p>本論文では、ハードウェアの動作の中でもメモリアクセスによる性能低下に注目して実現した、以下にあげる 2 つの同時可視化について述べる。1 つ目はメモリアクセスサイクル数とタスク動作の同時可視化で、2 つ目はバス衝突とタスク動作の同時可視化である。前者は一定時間のメモリアクセスサイクル数を高さとして表すことで、メモリアクセスの頻度を表示する。この可視化はタスクレベルでの解析を目的とし、高い時間精度での解析が必要ないため、時間精度の低い命令精度モデルを用いることができ、ハードウェアログの取得が短時間にできるという利点がある。後者はバスマスタごとにアクセスタイミングおよび、衝突により待たされている時刻を可視化する。バス衝突とタスクの動作の関連を可視化することで、ハードウェアが原因で起こるタスクの遅延の解析を可能にするという利点がある。バス衝突はサイクル精度モデルを用いてハードウェアログを取得する。</p> <p>簡単な事例によりタスクの動作と、バスアクセスおよびバス衝突が同時可視化され、それぞれの発生時刻の関連が明らかに見て取れることを確認した。</p>		