

## 平成 22 年度 情報工学コース卒業研究報告要旨

高田 研究室	氏 名	加 藤 寿 和
卒業研究題目	ハードウェアの振舞いを考慮したスピンロックのモデル検査	
<p>近年、組み込みシステムにおいて、マルチプロセッサの利用が進んでいる。異なるプロセッサ上で動作するプログラム間の排他制御手法としてスピンロックがある。従来、スピンロックはメモリアクセスを不可分に行う命令（不可分命令）を用いることで実装できていた。しかし、高速化技術が組み込まれた近年のハードウェアにおいて、スピンロックアルゴリズムを従来通りに実装しただけでは排他制御が実現できない可能性が出てきた。この問題はメモリアクセスの順序がプログラム記述と一致しないために生じる。</p> <p>このようなハードウェア上でスピンロックのプログラムを正しく動作させるためには、メモリバリア命令をプログラム中の適切な位置に挿入する必要がある。しかし、メモリバリア命令の挿入位置を決定することは容易でなく、必要な位置に挿入されないと正しい排他制御が行われない。逆に、不必要な位置に挿入されるとオーバヘッドが大きくなり、リアルタイム性が失われる可能性がある。さらに、キューイングスピンロックのような複雑なスピンロックアルゴリズムになるとさらに問題が難しくなる。そこで、スピンロックでのメモリバリア命令の挿入位置が適切かどうかを検証する必要がある。</p> <p>並列処理の検証には形式検証によるモデル検査が有用であるが、ソフトウェアやアルゴリズムのみをモデル化することが一般的である。このように、アルゴリズムのみをモデル化するだけでは、上記のようなハードウェアに起因する問題点を検知することができない。</p> <p>そこで本研究では、スピンロックアルゴリズムだけでなくハードウェアもモデル化の対象として、スピンロックの排他性に関するモデル検査を実施した。ハードウェアとして ARM Cortex-A9 MPCore を対象とし、モデル検査ツールに SPIN を用いた。システムを全てモデル化すると探索の際に状態爆発が発生する恐れがあるため、スピンロックの動作に関連するハードウェアのみをモデル化した。本研究では、不可分命令、メモリコンシステンシモデル、メモリバリア命令に関連するハードウェアをモデル化の対象とした。メモリコンシステンシモデルはプログラムから見たハードウェアによるメモリアクセスの順序を定めたものであり、ライトアクセス後のリードアクセスが入れ替わる可能性があるものを Total Store Ordering (TSO)、それに加えてライトアクセス後のライトアクセスが入れ替わる可能性があるものを Partial Store Ordering (PSO) という。</p> <p>不可分命令に関しては、不可分命令を実現するモニタの動作に着目してモデル化を行った。TSO と PSO に関しては、ライトバッファの動作に着目してモデル化を行った。まず、モニタをモデル化し、そのモデルにライトバッファのモデルを追加した。ハードウェアモジュール単位でモデルを作成し、それらを組み合わせる方法を取ることでモジュール単位でのモデルの変更を容易に行えるようにした。また、検証するプロセッサ数の変更が容易に行えるようなモデル設計を行った。</p> <p>設計したモデルを用いてスピンロックの排他性を検証した結果、メモリバリア命令が必要と予想される位置に命令を挿入しなかった場合は、排他性が満たされないこと、挿入した場合は、排他性が満たされることを確認できた。PSO のモデルでは、プロセッサ数が 2 個の条件で検証を終了することができ、状態数は <math>1.8 \times 10^9</math> であった。プロセッサ数を 3 個とすると、状態爆発が発生し、検証を終了することができなかった。そのため、モニタを簡略化したモデルを作成し検証したが、大きな改善は得られなかった。状態数を削減することが課題として残った。</p>		