

## 平成23年度 情報工学コース卒業研究報告要旨

枝廣 研究室	氏 名	大 川 禎
卒業研究題目	イベントドリブンプロセッサにおけるフィードバックループを持つ CSP モデルの実現	
<p>近年，CPU 内に複数のプロセッサ (コア) を搭載したメニーコアが組み込みシステムにおいても主流となりつつある．しかし，プロセッサのメニーコア化によるハードウェアの性能向上だけではシステムの高速度化は期待できず，メニーコアリソースを効率的に活用するために，実装するソフトウェアが並列化を意識して設計されていなければならない．</p> <p>並列化が有効なソフトウェアモデルとして，CSP (Communicating Sequential Processes) があげられる．CSP は，システム全体をイベント駆動によって独立して実行されるプロセスの集合として並列処理システムを表現する．このことは，内部の処理と非同期に inputs を受け付けるようなシステムや，リアルタイム性を要求されるシステムを記述する上ではモデル記述が容易であるという利点を持つ．また，近年開発されているイベントドリブンプロセッサは，ハードウェアのサポートにより CSP モデルの実装を可能としているメニーコアプロセッサである．モデルの設計からソフトウェア開発を CSP によって記述し，イベントドリブンプロセッサへ実装することで，システム開発の抽象的なレベルからハードウェアレベルまで並列化を実現することができる．</p> <p>本研究で対象とするイベントドリブンプロセッサとして，XMOS をマルチコア化したものを用いる．XMOS マルチコアシステムは，1 つのコアで複数のプロセスを同時並列実行できるアーキテクチャを持つ．また，コアプロセス間の通信時間が実行されているコアによって異なる特徴を持つ．例えば，距離の近いコア同士のプロセス間は通信時間が短く，距離の長いコア同士のプロセス間が通信時間が長くなる．このようなマルチコアシステムにおいては，CSP モデルの各プロセスをどのコアのスレッドで実行するかによって，システムの実行時間に占める通信時間は変化する．このようなシステムは通信性能の違いによる階層構造を持つマルチコアシステムであるといえる．また，CSP モデルにおいて，フィードバックループを持つプロセスはフィードバックにかかる実行時間がシステム全体の実行時間に影響する．したがって，システム全体を高速にするためには通信の効率の良いコア割り当てを行わなければならない．</p> <p>本研究では，イベントドリブンプロセッサへ CSP モデルを実装し，高い性能を引き出すためのコア割り当て手法を提案する．まず対象とするイベントドリブンプロセッサの通信性能を調査するために，同一コア内プロセス間通信時間，別コアプロセス間通信時間をそれぞれ測定し，マルチコア階層間の通信性能の違いを確認した．また，規模の小さい CSP モデルを対象ハードウェアへ実装し，システムの実行時間を測定した．さらに，フィードバックループを持つ CSP モデルにはフィードバック経路の長さによる遅延が発生することも確認した．以上の基礎的実験を通して，XMOS マルチコアシステムへ CSP モデルを実装したときによりよい性能を引き出せるコア割り当て手法について提案した．提案手法では，パイプライン処理による並列化されたモデルではボトルネックを減らす必要があること，また，フィードバックループによる遅延は出来る限り小さくなるように意識してコア割り当てをおこなうことが有効であることに注目した．評価実験として，プロセス数の多い CSP モデルを XMOS マルチコアシステムへ実装し，機械的なコア割り当てによる実行時間，および提案手法によるコア割り当てを行った場合の実行時間を測定し，両者を比較することで提案手法の有効性を検証した．</p>		