

平成24年度 情報工学コース卒業研究報告要旨

高田研究室 研究室	氏 名	森 實 宏 之
卒業研究題目	再構成可能ハードウェア向け動作合成記述の改善手法	
<p>近年、組込みシステムにおける専用ハードウェアの新規開発に限界が訪れている。専用ハードウェアは、それまでソフトウェアとして実装していた機能などをハードウェアで実現することにより高速な処理速度で行えるという利点があったが、特定の処理に特化している代わりに柔軟性に乏しいという欠点があった。さらに情報家電製品や情報通信機器が取り扱う機能の増加に伴い、専用ハードウェアの面積が増加する問題もある。このような背景より、機能の増加に対する高い柔軟性を持ち、かつ専用ハードウェア並の処理速度を持った、再構成可能ハードウェアに注目が集まっている。再構成可能ハードウェアは、製造された後もその回路構成を自由に書き換えることができる、高い柔軟性を持ったハードウェアである。再構成の仕組みにより大きく動的再構成と静的再構成という2つのアーキテクチャに分類される。</p> <p>従来、再構成可能ハードウェアの設計の際にはレジスタ転送レベル (RTL) 記述が利用されていた。RTL 記述による設計では演算の並列性などといった複雑な記述をしなければならず、設計・開発段階で多くの時間を必要とし、開発期間が長期化していた。そこでそれを解決する方法として動作合成ツールが利用されている。動作合成ツールは高い抽象度の動作記述から RTL 記述を出力するツールである。そのため、抽象度が低くレジスタや配線情報の記述が必要な RTL 記述ではなく、高い抽象度を持った C などの言語によってシステムの設計・開発が可能となり開発期間が短縮される。しかし、動作合成によって得られるハードウェアの性能は動作記述の記述方法によって大きく変わる。また、実装する再構成可能ハードウェアのアーキテクチャの違いにより適した記述方法が異なることも考えられ、対象ハードウェアのアーキテクチャごとに有効な動作記述が求められる。</p> <p>本研究は、動的再構成可能ハードウェアと静的再構成可能ハードウェアのそれぞれに適した動作記述の方法を明らかにすることを目的とする。動作合成向けに最適化された C 言語記述を分析することにより、動作記述の改善手法を「ビット幅の削減」「配列のレジスタ格納」「並列処理の実現」「ループ展開」の4つに分類した。それらの改善手法をアプリケーションに適用し、動的再構成技術を用いた LSI「XBridge」と静的再構成技術が用いられている FPGA の2つの異なる再構成技術を用いたハードウェアに実装し比較した。適用を行うアプリケーションとしては、AES 暗号化・複合プログラムを用いた。改善手法をそれぞれ組み合わせて適用し、FPGA と XBridge に実装を行った。その際、改善手法ごとの合成・実装記録から両者における各手法の有効性を比較した。比較項目として周波数、サイクル数、実行時間、面積、状態数を用いた。</p> <p>手法の実装・評価を行ったところ、4つの改善手法を全て適用した場合には XBridge、FPGA 双方で処理時間が約3%にまで削減された。また、FPGA と比べ面積にあまり余裕が無い XBridge に対してはビット幅の削減による面積の削減が効果的であることが分かった。加えて、ループ展開が2つのハードウェア双方でサイクル数の削減に大きく寄与すること、配列のレジスタ格納や並列処理の実現といった手法は単体で適用するよりも他手法と組み合わせた際に効果を発揮することなど各手法の特徴を確認した。さらに各手法が与える影響より、効率的な面積、実行時間の削減を行うことができる記述改善の適用順序を明らかにした。今後の課題としては各改善手法の有効な適用箇所の早期発見手法の確立など挙げられる。</p>		