

平成25年度 情報工学コース卒業研究報告要旨

高田 研究室	氏 名	小 川 真 彩 高
卒業研究題目	マルチコアシステムに対するバス遅延を考慮したシミュレーション環境の実現と評価	
<p>近年、情報システムの高度化、多様化に伴い、組込みシステムにおいてもマルチコア化が進んでいる。スマートフォンやPCのような汎用性が高い、マルチコアのアーキテクチャでは、キャッシュを共有する対称型(SMP)が一般的である。一方、組込みシステムでは、システムに特化したアーキテクチャとすることで、処理内容と共に、リアルタイム性や信頼性を実現する必要がある。そのためにアーキテクチャ探索が重要となる。その中で、探索候補のアーキテクチャをHDLで記述し、シミュレータやFPGAで実行し評価する方法は、非常に高い費用と時間がかかり非効率的である。そこで、HDL記述の実装の前に検索対象のアーキテクチャのモデルを構成し、シミュレーションを行うという方法がある。一般に、シミュレーションの精度と実行時間はトレード・オフの関係にあり、同時に実現することは難しい。シミュレーションの精度が高いモデルとしてはRTL(Resister Transfer Level)モデルがある。シミュレーションが高速であるモデルとしてはTLM(Transaction Level Modeling)がある。TLMは個別の制御信号の動きを厳密にモデリングせず、リードやライトのような抽象化された制御単位でモデリングする。TLMはRTLモデルと比較して抽象度の高いので、記述がRTLモデルを構成する場合よりも容易である。TLMをサポートする言語としてはC++言語を拡張したSystemCがある。RTLでもTLMでもハードウェアのシミュレーションをし、プロセッサの場合はソフトウェアを実行する。RTLモデルはハードウェアの性能評価に使われ、TLMはソフトウェアの機能評価に使われることが多い。アーキテクチャ探索では、精度の高いRTLモデルが適するが、RTLモデルはそもそも作成自体が困難であることや、アーキテクチャ探索で用いるソフトウェアが大きい場合、シミュレーションが終了しないという問題がある。この問題を解決する方法として、着目したいアーキテクチャの構成部分のみ高い精度のモデルを用いる方法により、アーキテクチャ間の相対的な評価は可能ではないかと考えている。</p> <p>そこで本研究では、部分的に精度が高いアーキテクチャモデルの有用性を評価する研究の第一段階として、部分的に精度が高いアーキテクチャモデルの実現と評価を実施した。具体的には、バスのみ精度の高いアーキテクチャモデルを構築することにより、バスの振る舞いを正確に考慮したバスモデルを構築することを目的とする。今回はアーキテクチャをシミュレーションする機能を提供するSynopsys社のツールである、Virtualizerを利用する。VirtualizeではTLMによるアーキテクチャシミュレーション環境を提供する。Virtualizerのバスモデルは、バスの遅延や衝突を考慮したモデルとなっていないため、バスの振る舞いを正確にシミュレーションすることができない。そこで、バスモデルを拡張し、各メモリごとにバス遅延を設定できるようにし、複数のCPUが同時にバスにアクセスした場合に衝突を検知し、調停アルゴリズムに従って実行するCPUの順序を決定する機能を追加した。</p> <p>バス遅延を考慮したバスモデルの評価を行うために、バス衝突が発生するようにメモリにアクセスする短い命令をマルチコア環境で実行し、1命令ずつ動作を追っていき、バス衝突と調停アルゴリズムの妥当性を確認した。また、マルチコア環境で行列積演算ベンチマークを実行し、シミュレーション時間を確認した。その結果、クロック周期やバス遅延時間などのパラメータに対してバス衝突シミュレーションが想定したとおりに実行されることが確認できた。以上より、クロック周期やバス遅延時間などの任意のパラメータを与えることで、バス遅延を考慮したシミュレーションが可能な環境の構築を実現した。</p>		