

平成27年度 情報工学コース卒業研究報告要旨

| | | |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|-------|
| 結縁 研究室 | 氏 名 | 清 水 遼 |
| 卒業研究題目 | FDR3による時間並行システムのモデル検査 | |
| <p>本研究では、FDR3を用いた時間並行システムのモデル検査を行う。</p> <p>FDR3では、プロセス代数であるCSPで記述された2つのモデル間の詳細化関係検査によって時間並行システムの性質の検証を行え、さらに、CSPを時間を扱えるように拡張したtock-CSPモデルの検証が可能である。</p> <p>時間並行システムの例としてEthernetにおける基本的な通信プロトコルであるCSMA/CDプロトコルをtock-CSPで記述した。仕様モデルとの詳細化関係をFDR3で検証することでモデルが満たすべき性質を満たしているかを検証した。</p> <p>システムのtock-CSPモデルは以下のように作成した。tock-CSPモデルは特殊イベントtockの実行を単位時間の経過として表現し、クロック変数は存在しない。そこで、イベントtockが実行された回数をカウントする構造をモデルに持たせることで、クロック変数を表現した。次に、時間オートマトンのガード条件を表現するために、カウントしたイベントtockの実行回数に応じて条件分岐を行うことでイベントの実行を制御した。また、プロセス間の同期イベントは元のモデルにあるものに加えて、検証用のイベントfailを追加した。このイベントfailはモデルが性質を満たす場合には実行不可能なイベントであり、仕様モデルとの詳細化関係を検証する際に利用する。</p> <p>仕様のtock-CSPモデルは元のモデルにある任意の同期イベントとtockが常に実行可能であるものを作成した。</p> <p>以上のようにシステムと仕様のtock-CSPモデルを作成し、システムが仕様の詳細化になっているかを検証した。システムが性質を満たす場合は詳細化関係は成立し、そうでない場合はイベントfailが実行可能であるため詳細化関係は成立しない。</p> <p>実際に検証を行ったところシステムのモデルの大きさが4以下の場合は詳細化関係が成立し、システムが性質を満たすことが確認できた。モデルの大きさを1段階大きくすると使用メモリ量、実行時間が爆発的に増加し、これ以上は検証が不可能であった。比較としてUPPAALでこのモデルの検証を行ったところ、FDR3での検証よりもモデルの大きさによる使用メモリ量、実行時間の増加は小さく、大きさ4でFDR3での検証よりも非常に少ないメモリ量、実行時間で検証できた。</p> <p>この原因として、FDR3では時間は離散的に扱うために時間の経過が1つの遷移として扱われ、状態数が膨大になるためだと考えられる。一方、UPPAALは時間制約を不等式で表現し、まとまった区間で判定できるため効率的に検証できていると考えられる。</p> <p>tock-CSPの構造を工夫することでより効率的に検証できる可能性が考えられるため、モデルの構造の工夫による検証の効率化は今後の課題である。</p> | | |