

# 令和元年度 情報工学コース卒業研究報告要旨

石原 研究室	氏 名	富 山 葉 月
卒業研究題目	遅延故障に起因する回路寿命分布の 確率的高速推定手法	
<p>集積回路設計では、面積、電力、性能等の制約下において、目標寿命を満足することが求められる。回路の正常動作を脅かす要因として、動作時に性能が徐々に低下する現象である経年劣化が挙げられる。パス遅延が徐々に増加すると、ある時刻にクロック周期を超過して、FF (Flip-Flop) に正しい論理値が取り込まれない事態が発生する。このような故障を遅延故障と呼ぶ。遅延故障耐性の高い、長寿命動作可能な回路を設計するためには、設計段階で回路寿命を正確に推定する手法が必要不可欠である。</p> <p>遅延故障発生時刻を推定する手法として、論理シミュレーションが挙げられる。特定の入力パターン組を回路に与えて、回路内の FF 組に正しい値が取り込まれているか確認することで、故障発生時刻を推定できる。ここで、経年劣化は、劣化速度が動作電圧や製造ばらつきに依存してパス毎に異なる。したがって、経年劣化に起因する遅延故障が起こるまでの時間を推定するためには、数カ月や数年といった実働時間に対応する (例. <math>10^{17}</math> クロックサイクル数)、非常に長いシミュレーションを実行し、活性化パス群を観測する必要がある。従来の論理シミュレータでは、毎クロックサイクル、全ての論理ゲートの動作イベント組 (入出力信号値の遷移、時刻など) を導出し、回路寿命を推定する。この計算方法は、回路動作を非常に正確に模擬できる一方、回路内のパス数と実行サイクル数に比例した計算時間を要する。このような背景から、論理シミュレーションの低速性が大きな課題となっており、遅延故障の発生時刻を高速に推定可能な手法が強く求められている。</p> <p>本研究では、「経年劣化に起因して遅延故障が起こるまでの時間」を回路寿命と定義し、回路寿命分布を高速に算出する確率的シミュレータを提案する。確率的シミュレータでは、動作イベント組を確率的に発行し、回路寿命分布を推定する。パスの活性化確率などの統計的性質を維持しつつイベント発行回数を削減することで、回路寿命推定の高精度化と計算時間削減を両立する狙いがある。提案シミュレータでは、回路寿命分布を高速かつ高精度に推定するために、発行する動作イベント組を発生空間および発生時間の両面から集約する。回路寿命を高速に推定することにより、設計後回路が目標寿命を満足するかどうかを、設計者に短時間でフィードバックし、設計工数とコストの削減に貢献する。</p> <p>本研究ではまず、正確な確率的シミュレータとして、プロトタイプを実装した。プロトタイプでは、タイミングクリティカルなパスに対して、毎クロックサイクル、動作イベント群を確率的に発行する。イベント発行対象を論理ゲート単位からパス単位に集約した後、遅延故障が発生する確率の高いクリティカルパスを対象を絞り込むことで、動作イベントを発行する箇所を大幅に削減できる。動作イベント群の空間的集約と確率的取り扱いに関する妥当性を検証するために、プロトタイプシミュレータと論理シミュレータを用いて寿命推定を行い、プロトタイプの寿命推定精度を実験的に算出した。続いて、プロトタイプを改良し、イベント群の発行を時間的に集約する高速化モデルを実装した。プロトタイプでは、一様乱数に基づき、毎クロックサイクル、動作イベント群を発行する。ここで、待ち行列理論により、イベントが一様乱数に基づいて発行される時、イベント発生間隔は指数分布に従うことが知られている。この点に着目し、本研究では、クリティカルパスでのイベント発生間隔を確率的に導出することで、確率的シミュレータのイベント発行回数をさらに削減する。評価実験により、高速化モデルでは、プロトタイプとの寿命推定誤差を 0.01% 程度に抑えつつ、寿命推定時間を 5 桁高速化できる、という結果を得た。</p>		