

平成15年度 情報工学コース卒業研究報告要旨

高木 研究室	氏 名	門脇 俊介
卒業研究題目	冗長2進数の絶対値計算を用いた減算シフト型整数除算回路	
<p>加減乗除等の算術演算は、計算機などのデジタルシステムにおいて、基本演算として広く用いられており、従来からその高速化が望まれている。算術演算については、既にさまざまな研究がなされており、いろいろなアルゴリズムが提案され、実現されてきた。しかし、整数の被除数と除数から整数の商と剰余を求める整数除算では商の1桁を求めるのにワードの大きさに応じた加算もしくは減算を行う必要があり、演算に時間がかかる。</p> <p>本報告では、冗長2進数の絶対値計算を利用した新しい減算シフト型整数除算法を提案し、それに基づく高速な整数除算回路について考察する。まず、被除数を冗長2進数に変換し、商を上位から順に1桁ずつ求めていく。商の1桁を求める計算では、部分被除数から除数を減じ、その結果(部分剰余)の絶対値を計算するということを繰り返す。部分剰余の絶対値が次の反復での部分被除数となる。商の各桁は部分剰余の符号を調べることにより $\{0, 1\}$ の中から定める。部分剰余の正負判定は絶対値計算と同時に行われる。部分剰余を求める減算とその絶対値計算は冗長2進数体系で行う。最後に剰余が冗長2進表現で求められるので、通常の2進表現に変換する。冗長2進数体系ではその冗長性により桁上げもしくは桁借りが伝播しない。部分剰余を上位桁から求めていく計算をパイプライン処理することで演算の高速化を実現している。</p> <p>本報告で提案する整数除算回路と順次桁上げ加算器を用いた非回復型整数除算回路をそれぞれ組合せ回路で実現し、遅延時間と面積を比較した。32ビットの整数除算回路において、提案した回路は順次桁上げ加算器を用いた非回復型の回路に比べて遅延時間が43%減少した。nビットの場合、順次桁上げ加算器を用いた非回復型整数除算回路では、全体の遅延時間は $O(n^2)$ となるが、本報告で提案する回路では全体の遅延時間は $O(n)$ で整数除算を行うことができる。面積はどちらも $O(n^2)$ である。</p> <p>発表実績</p> <ul style="list-style-type: none">門脇俊介, 高木直史, 高木一義 “冗長2進数の絶対値計算を用いた減算シフト型整数除算回路”, 電子情報通信学会 総合大会, 2004年3月 発表予定		