

平成15年度 情報工学専攻修士論文要旨

| | | |
|--|-----------------------------|-------|
| 高木 研究室 | 氏 名 | 加藤 慎也 |
| 論 文 題 目 | 桁上げ選択方式によるオンライン誤り検出可能な高速加算器 | |
| <p>近年、コンピュータシステムの障害が社会規模で大きな影響を与え、大きな問題となってきたため、コンピュータシステムの高信頼化に深い関心が寄せられている。コンピュータシステムを高信頼化するために、システム構成上の工夫によって高信頼化を達成するフォールト・トレランス技術がある。高信頼なシステムのために重要な機能として、構成する回路故障の自己検出が挙げられる。</p> <p>計算機システムの基本構成要素である加算器は多くのマイクロプロセッサやデジタル信号処理 LSI に搭載されている。加算器は乗算をはじめとする様々な算術演算回路に用いられ、これらの LSI において高速処理が求められる場合には、加算も高速なアルゴリズムを使って実装する必要がある。</p> <p>本論文では、高速かつ小面積で構成できる、デジタルシステムのメモリチェックに使われるパリティ検査符号を用いたオンライン誤り検出可能な加算器の設計方法を提案する。よく知られる高速加算アルゴリズムの中で、桁上げ選択加算器に着目する。桁上げ選択加算器は、複数の各ブロックにおいて下位ブロックからの桁上げが0の場合と1の場合を計算しておくことで高速化した加算器であるが、パリティ検査符号を利用して誤り検出を行う場合も、両出力のパリティを計算しておく必要があり、ハードウェア量も多くなる。そこで、本論文では、両ブロックの桁上げのパリティが生成しやすい桁上げ選択加算器の構造を新しく提案する。このパリティ検査符号の生成に有利な加算器に、オンライン誤り検機能を付け加えることで、検査するために必要なハードウェア量も抑えることができる。</p> <p>提案した加算器の面積や遅延を評価するために、Verilog-HDL にて回路を記述し、順次桁上げ加算器を2つ用意して構成した桁上げ選択加算器と、Tyagi によって提案された小面積で構成される桁上げ選択加算器を比較した。その結果、前者と比べた場合、面積は15%から20%削減され、遅延も10%ほど速い結果を得た。また、後者と比べた場合、面積はほぼ変らない結果となったが、遅延は10%から20%速い結果となった。オンライン誤り検出回路を組み込む前の回路比較では、提案加算器の方が、Tyagi により提案された小面積桁上げ選択加算器に比べ、必要な面積が10%大きかったという結果から、オンライン誤り検出可能な小面積高速加算器を構成する上で、本提案回路が有効であること示した。</p> <p>研究実績</p> <ul style="list-style-type: none">加藤 慎也, 高木 直史 : ”パリティ検査符号を用いたオンライン誤り検出可能な高速加算器” 電子情報通信学会 総合大会 2004 年 3 月 発表予定 | | |