

平成 15 年度 情報工学専攻修士論文要旨

高木 研究室	氏 名	河瀬 朋範
論 文 題 目	倍精度浮動小数点指数関数計算回路の設計と評価	
<p>倍精度浮動小数点指数関数計算は、種々の科学技術計算において出現する演算である。例えば、分子シミュレーションの手法である非経験的分子軌道法において、最も時間を要する二電子積分計算で頻出する。現在、倍精度浮動小数点指数関数計算はソフトウェアで実装されているが、近年の集積回路技術の発展により、専用回路で実現し、高速化することが可能となってきた。</p> <p>本論文では、入出力を IEEE754 標準の倍精度浮動小数点基本フォーマットとし、誤差を 1ulp (unit in the last place) 以内とする指数関数計算回路の回路構成を提案する。まず、指数関数 $\exp(x)$ の出力が浮動小数点形式になるように、入力 x を $\frac{1}{\ln 2}$ 倍して、それを整数部と小数部に分割する。本論文で提案する回路構成では、仮数部の計算法にテーブル参照と多項式近似法のハイブリッド法を適用する。ハイブリッド法では、指数関数の性質により、テーブルを分割してテーブルサイズを削減することができることを示す。このテーブル分割法では、テーブルサイズと乗算回数にトレードオフが生じる。そこで、近似多項式の次数とテーブルの分割数を変えて、テーブルサイズと仮数部の計算に必要なサイクル数を評価し、回路に用いる次数と分割数を決定した。また、設計する回路に適した積和演算器を提案する。提案する積和演算器は、生成される全ての部分積を桁上げ保存加算木で加え合わせた積和演算器と比べ、面積を約 40% 削減できる。</p> <p>他のモジュールに比べ、遅延時間の大きい積和演算器の動作を 2 サイクルで行うことにより、動作周波数の向上を図る。ここで、積和演算器を組み合わせ回路で実現する場合と、2 段パイプライン化する場合の回路構成が考えられる。積和演算器を 2 段パイプライン化すると、テーブル分割によって生じる乗算と、近似多項式中での乗算が並列処理可能となるので、サイクル数を減らして、全体の計算時間を短縮できる。しかし、パイプラインレジスタが必要となり、また、コントローラが複雑になるので、面積は大きくなる。</p> <p>本論文では、積和演算器を組み合わせ回路で実現する場合の回路構成で、倍精度浮動小数点指数関数計算回路を設計した。設計した回路は、サイクル数が 13 クロックであり、$0.35\mu m$ テクノロジーのセルライブラリを用いて論理合成およびシミュレーションを行った結果、動作周波数は 200MHz であった。</p> <p>発表実績</p> <ul style="list-style-type: none">河瀬 朋範, 高木 直史, 高木一義, “倍精度浮動小数点指数関数計算回路の設計”, 情報処理学会 計算機アーキテクチャ研究会, 2003 年 5 月		